

Customer No. 31561
Application No.: 10/711,675
Docket No. 13434-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

International application of

Applicant : Lee et al.
Application No. : 10/711,675
Filed : Sep 30, 2004
For : ELECTRONIC PACKAGE WITH PASSIVE
COMPONENTS
Examiner : N/A
Art Unit : 2831

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93115225,
filed on: 2004/5/28.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

January 11, 2005

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

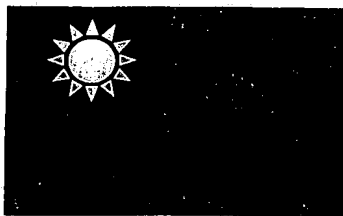
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 05 月 28 日
Application Date

申請(案)號：093115225
Application No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月
Issue Date

發文字號：09320936270
Serial No.

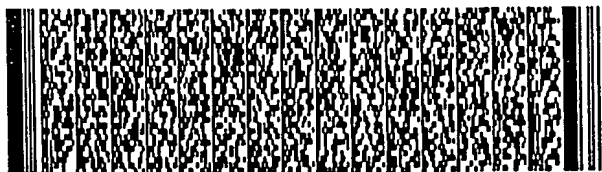


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有被動元件的電子封裝體
	英文	ELECTRONIC PACKAGE WITH PASSIVE COMPONENTS
二、 發明人 (共2人)	姓名 (中文)	1. 李怡增
	姓名 (英文)	1. LEE, I-TSENG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 8F, NO. 533, CHUNG-CHENG RD., HSIN-TIEN CITY, TAIPEI HSIEN, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, NO. 533, CHUNG-CHENG RD., HSIN-TIEN CITY, TAIPEI HSIEN, TAIWAN, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSIUEH-HONG



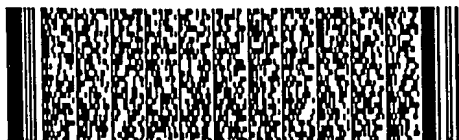
13434twf.p1d

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 曾仁德
	姓名 (英文)	2. TSENG, JEN-TE
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路533號8樓
	住居所 (英文)	2. 8F, NO. 533, CHUNG-CHENG RD., HSIN-TIEN CITY, TAIPEI HSIEN, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：具有被動元件的電子封裝體)

一種具有被動元件的電子封裝體，其包括一線路載板、至少一被動元件與一異方性導電層。線路載板具有至少一被動元件接墊組，其位於線路載板之一面，且被動元件接墊組包括多個接墊。此外，被動元件具有多個電極，而被動元件係配置於被動元件接墊組上，且這些電極係分別對應配置於這些接墊上。另外，異方性導電層係配置介於這些電極與這些接墊。基於上述，利用異方性導電層來連接被動元件及線路載板能提高電子封裝體之生產效率及降低其生產成本。

五、英文發明摘要 (發明名稱：ELECTRONIC PACKAGE WITH PASSIVE COMPONENTS)

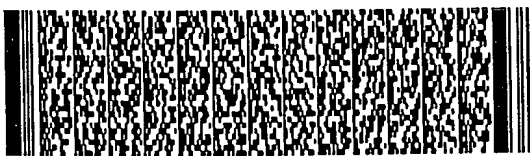
An electronic package with passive components is provided. The electronic package comprises a circuit carrier, at least a passive component, and an anisotropic conductive layer. The circuit carrier has at least one set of connection pads for the passive component thereon. Additionally, the set of the connection pads includes a plurality of pads. Further, The passive component



四、中文發明摘要 (發明名稱：具有被動元件的電子封裝體)

五、英文發明摘要 (發明名稱：ELECTRONIC PACKAGE WITH PASSIVE COMPONENTS)

includes a plurality of electrodes corresponding to the pads respectively. Furthermore, the anisotropic conductive layer is deposited between the electrodes and the pads. Therefore, using the anisotropic conductive layer to connect the passive component and the circuit carrier can increase the productivity of the electronic package and lower the cost thereof.



六、指定代表圖

(一) 本案指定代表圖為：圖2A

(二) 本代表圖之元件代表符號簡單說明：

200：電子封裝體

210：線路載板

210a：第一表面

210b：第二表面

212：圖案化線路層

212a：被動元件接墊組

212b：第一接墊

212c：第二接墊

220：被動元件

220b：第一電極

220c：第二電極

230：異方性導電層

232：導電粒子



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

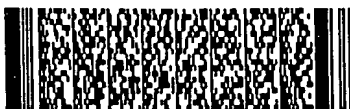
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



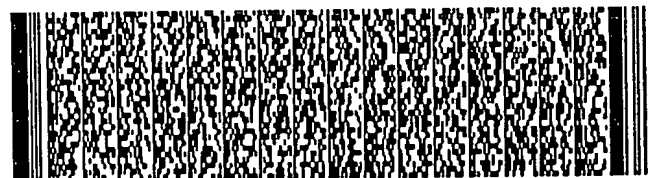
五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種電子封裝體 (electronic package)，且特別是有關於一種具有被動元件 (passive component) 的電子封裝體。

【先前技術】

隨著電子技術的日新月異，具有較人性化與功能較佳的電子產品也不斷地推陳出新，且電子產品也朝向輕、薄、短、小與美的趨勢進行設計。目前在電路佈設方面，線路載板 (circuit carrier) 是經常使用的構裝元件，而線路載板例如是印刷電路板 (Printed Circuit Board, PCB) 或晶片載板 (chip carrier) 等線路載板。常見之線路載板主要是由多層圖案化線路層 (patterning circuit layer) 及多層介電層 (dielectric layer) 交替疊合所構成，其中介電層配置於任二相鄰之圖案化線路層之間，而這些圖案化線路層可藉由貫穿介電層之鍍通孔道 (Plated Through Hole, PTH) 或導電孔道 (via) 而彼此電性連接。由於線路載板具有佈線細密、組裝緊湊以及性能良好等優點，因此線路載板係已廣泛地應用於各種電子封裝體 (electronic package) 中，特別是球格陣列 (Ball Grid Array, BGA) 及針格陣列 (Pin Grid Array, PGA) 類型之電子封裝體。此外，當訊號在線路載板內傳遞時，可藉由配置於線路載板上的被動元件 (例如電容元件) 來改善訊號傳輸之品質，例如降低訊號在切換時所產生之雜訊串音干擾 (cross talk)。

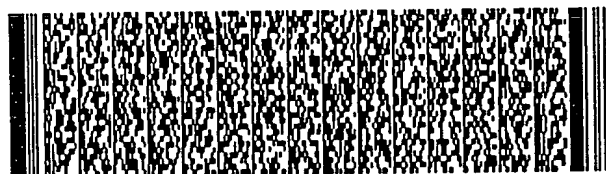


五、發明說明 (2)

請參照圖1，其係繪示習知一種具有被動元件之電子封裝體的剖面結構示意圖。習知電子封裝體100具有一線路載板110、一晶片120與至少一被動元件130，其中線路載板110具有一第一表面110a與一第二表面110b，而晶片120係藉由黏著層 (adhesive layer) 150而結構性地連接至線路載板110之第一表面110a上，且晶片120藉由導線160而電性連接至線路載板110，這就是所謂導線接合製程 (wire bonding process)。此外，一至數個被動元件130係藉由錫料 (solder) 140而電性連接至線路載板110之第一表面110a上，而被動元件130例如為電容元件 (capacitor)、電感元件 (inductor) 或電阻元件 (resistor) 等，以改善訊號之傳輸品質。另外，一封膠 (molding compound) 170係包覆被動元件130與晶片120。再者，多個錫球 (solder ball) 180係配置於線路載板110之第二表面110b上。

請繼續參照圖1之右側的放大區域，線路載板110例如包括至少一圖案化線路層112與一防錫層 (solder mask) 114，其中圖案化線路層112位於線路載板110之一表面，而圖案化線路層112具有至少一被動元件接墊組112a，其包括一第一接墊112b與一第二接墊112c。此外，防錫層114係配置於圖案化線路層112上，並暴露出被動元件接墊組112a之第一接墊112b與第二接墊112c。

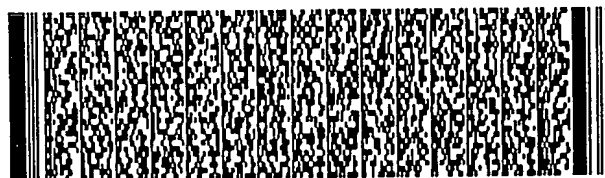
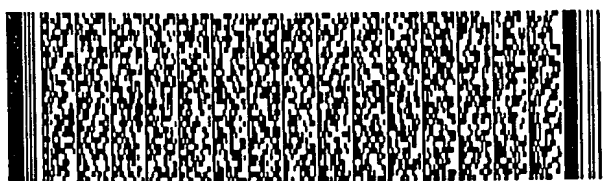
承上所述，被動元件130係電性連接至被動元件接墊組112a，而被動元件130具有一第一電極130b與一第二電



五、發明說明 (3)

極130c，且第一電極130b與一第二電極130c分別藉由兩錫料140來電性與結構性連接至第一接墊112b與第二接墊112c。此外，在將第一電極130b與第二電極130c分別經由兩錫料140來連接至第一接墊112b與第二接墊112c的製程中，通常會加入助錫劑 (flux) 至兩錫料140之內或其表面，用以在迴錫 (reflow) 兩錫料140之後，來增加兩錫料140之對於第一接墊112b與第一電極130b，及對於第二接墊112c與第二電極130c的接合性。另外，將被動元件130組裝於線路載板110之後，殘留於線路載板110上的助錫劑還必須藉由清洗步驟加以清除，以避免影響電子封裝體100之可靠度。

請繼續參照圖1之放大區域，由於被動元件130與防錫層114之間的縫隙甚小，因此在迴錫兩錫料140之後，殘留在被動元件130與防錫層114之間的間隙的助錫劑可能無法有效地清除。此外，在封膠的過程中，封膠170同樣不易填入於被動元件130與防錫層120之間的間隙中。如果電子封裝體100再次經過高溫處理，例如迴錫 (reflow) 時，則位於第一接墊112b與第二接墊112c上之兩錫料140可能會流入被動元件130與防錫層114之間的縫隙而相互連接，因而造成第一接墊112b與第二接墊112c之間發生短路，進而導致被動元件130失效，此即所謂的錫橋問題 (solder bridge issue)。值得注意的是，當線路載板110及被動元件130均朝向微細間距 (fine pitch) 化發展時，由於線路載板110之第一接墊112b與第二接墊112c的距離逐漸

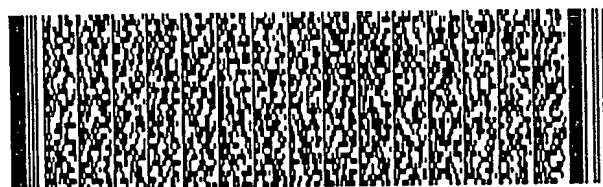
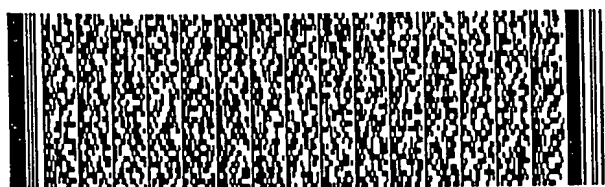


五、發明說明 (4)

縮短，當被動元件130以銲接方式連接至線路載板110時，銲接製程之迴銲步驟所使用的助銲劑將更容易殘留於被動元件130與線路載板110之間的縫隙，使得前述之銲橋問題將會更容易發生。

為了縮小電子封裝體之平面尺寸，被動元件130可設計位於導線160之下方。然而，當導線160向下塌陷來接觸到被動元件130之某一電極時，導線160將與會接觸被動元件130之某一電極形成短路。因此，導線160之高度必須設計較高以免接觸被動元件130。然而，導線160的高度越高，則在填充封膠170的過程中，導線160產生導線偏移現象 (wire shifting)，使得相鄰的導線160產生短路。

為了在線路載板110之第一接墊112b及第二接墊112c上形成這些銲料140，習知通常是利用印刷 (printing) 的方式，將一整罐的銲料膏 (solder paste) 置放於一位於線路載板110上的網版 (stencil)，再利用刮擦 (scrape) 的方式，將些許銲料膏填入網版上的開口，用以在線路載板110之第一接墊112b及第二接墊112c上分別形成一銲料膏塊，其於迴銲之後將形成這些銲料140。然而，上述銲料膏在接觸空氣後便會逐漸劣化，因此開封後之銲料膏若在時限內無法用完則必須丟棄。並且，由於需要以銲接方式組裝至線路載板110之被動元件130的數目通常不多，所以當經由印刷法來形成這些銲料膏塊時，將會因為未使用之銲料膏過多，而造成被動元件130之組裝成本的增加。



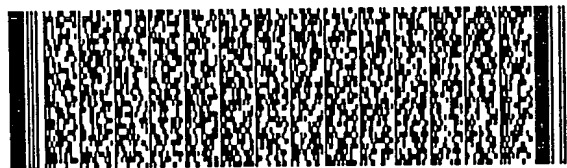
五、發明說明 (5)

【發明內容】

有鑒於此，本發明的目的就是在提供一種具有被動元件的電子封裝體，以改善習知使用鐸料所產生之鐸橋問題，並進一步提升電子封裝體的可靠度 (reliability)。

基於上述目的或其他目的，本發明提出一種具有被動元件的電子封裝體，其例如包括一線路載板、至少一被動元件與一異方性導電層。線路載板具有至少一被動元件接墊組，其位於線路載板之一面，且被動元件接墊組包括多個接墊。此外，被動元件具有多個電極，而被動元件係配置於被動元件接墊組上，且這些電極係分別對應配置於這些接墊上。另外，異方性導電層係配置介於這些電極與這些接墊。

基於上述，相較於習知技術採用助鐸劑與鐸料所產生之鐸橋問題，本發明之具有被動元件的電子封裝體採用異方性導電層來代替習知的鐸料，以電性的連接被動元件與線路載板，因此本發明之具有被動元件的電子封裝體沒有助鐸劑殘留所產生之鐸橋問題，因而提高電子封裝體之可靠度。此外，本發明之具有被動元件的電子封裝體採用異方性導電層來代替習知的鐸料，所以本發明之具有被動元件的電子封裝體沒有鐸料殘留的問題，因而增加電子封裝體之外表的美觀。另外，相較於習知技術需進行助鐸劑之清洗製程，所以本發明之具有被動元件的電子封裝體無須此清洗製程，因而縮短製程時間與降低製程成本。



五、發明說明 (6)

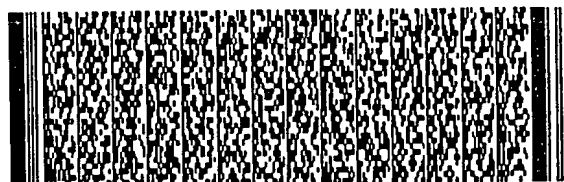
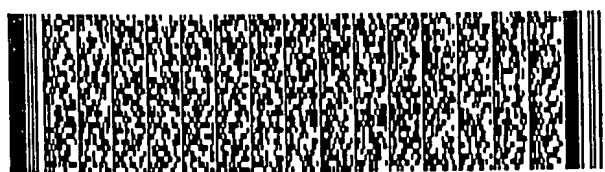
為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉多個較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

【第一實施例】

圖2A至圖2B係繪示本發明第一實施例之具有被動元件的電子封裝體的剖面結構示意圖。請先參照圖2A，電子封裝體200包括一線路載板210、至少一被動元件220與一異方性導電層230，其中被動元件220係藉由異方性導電層230而電性連接至線路載板210。線路載板210具有至少一圖案化線路層212，其位於線路載板210之一第一表面210a。此外，圖案化線路層212包括至少一被動元件接墊組212a，其包括一第一接墊212b與一第二接墊212c。另外，被動元件220具有一第一電極222b與一第二電極222c，其係分別位於第一接墊212b與第二接墊212c上。再者，異方性導電層230係配置介於第一電極222b與第一接墊212b之間，及第二電極222c與第二接墊212c之間，用以電性地及結構性地連接被動元件220與線路載板210。

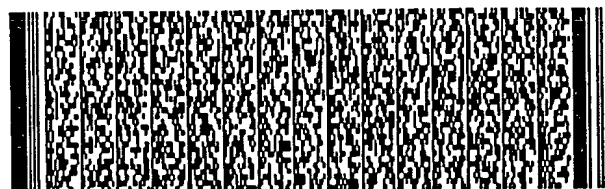
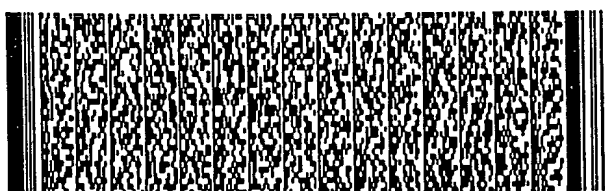
承上所述，被動元件220例如為電阻元件、電感元件或電容元件。另外，異方性導電層230例如是由異方性導電膜 (Anisotropic Conductive Film, ACF) 或異方性導電膠 (Anisotropic Conductive Paste, ACP) 所製作。再者，線路載板210例如是印刷電路板 (PCB)、晶片載板 (chip carrier) 或軟性電路板 (Flexible PCB) 等。



五、發明說明 (7)

請繼續參照圖2A，具有被動元件的電子封裝體200的製造方法包括幾個步驟。首先，提供一線路載板210與一被動元件220。然後，形成異方性導電層230於第一接墊212b與第二接墊212c上，其中異方性導電層230之形成方法例如是貼附異方性導電膜(ACF)或塗佈異方性導電膠(ACP)。之後，經由施壓至線路載板210或被動元件220，以壓縮位於被動元件220與線路載板210之間的異方性導電層230。由於散佈於異方性導電層230內之許多導電粒子(conductive particle)232在受到線路載板210及被動元件220的擠壓後，某些導電粒子232將堆積於第一電極222b與第一接墊212b之間，同時另一些導電粒子232將堆積第二電極222c與第二接墊212c之間，因此，被動元件220能夠藉由這些導電粒子232而電性連接至線路載板210。接著，對於上述製程所形成之結構物進行固化製程(curing process)，以固化異方性導電層230之膠料部分。最後，形成封膠240以包覆被動元件220與異方性導電層230。值得一提的是，相較於習知技術所採用之錫料膏於開封後會逐漸劣化，必須時常更換而造成錫料膏之浪費，然而本發明所採用之異方性導電膜或異方性導電膠則不會因為接觸空氣而產生劣化，進而降低生產成本。

承上所述，由於被動元件220與線路載板210之間的電性連接是採用異方性導電層230來代替習知技術的錫料140(如圖1所示)，因此本發明能夠避免習知技術所產生之錫橋問題。此外，在習知技術的製造過程中必須進行清洗



五、發明說明 (8)

製程以避免助錫劑殘留，然而本發明採用異方性導電層230便可免去此清洗製程，以縮短製程時間與製程成本。相較於習知技術需採用約5分鐘左右之紅外線迴錫製程 (IR reflow process)，本發明所採用的只需約10至20秒左右的固化製程，進而縮短製程時間。另外，相較於習知技術具有錫料殘留所產生之污染問題，本發明採用異方性導電層250，因此本發明沒有習知技術之錫料殘留的問題。

請繼續參照圖2A，異方性導電層230覆蓋於線路載板210之第一接墊212b與第二接墊212c及兩者之間的區域。然而，習知技術之錫料140只能配置於第一接墊112b與第二接墊112c上（如圖1所示），以避免第一接墊112b與第二接墊112c電性連接，因此第一接墊112b就必須與第二接墊112c保持一定的間距，而這就是習知技術無法微細間距化的原因之一。然而，異方性導電層230只在特定方向具有導電性，因此即使異方性導電層230同時覆蓋第一接墊112b與第二接墊112c及兩者之間的區域，這也不會造成第一接墊112b與第二接墊112c發生短路。相較於習知技術，本發明採用異方性導電層230更能縮短第一接墊112b與第二接墊112c之間距。

值得注意的是，在圖2A中，異方性導電層230係配置於第一接墊212b與第二接墊212c之線路載板210上，但是只有位於第一電極222b與第一接墊212b之間或第二電極222c與第二接墊212c之間之異方性導電層230才具有導電



五、發明說明 (9)

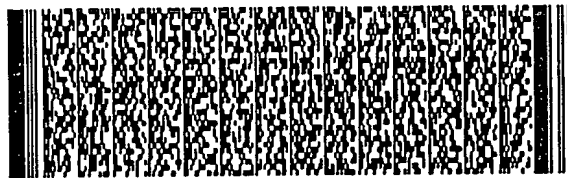
的功能。

請參照圖2B，圖2B所繪示之內容與圖2A所繪示之內容相似，其不同於圖2A之處在於圖2B之異方性導電層230的係局部地配置於第一接墊212b與第二接墊212c上，因此被動元件220便可經由異方性導電層230之兩個（或多個）部分來電性連接至線路載板210。由於異方性導電層230的配置面積較小，因此此種配置方式能夠減少異方性導電層230之材料的使用，進而降低生產成本。

【第二實施例】

圖3A至圖3C係繪示本發明第二較佳實施例之具有被動元件的電子封裝體的剖面結構示意圖。若是第二實施例的標號與第一實施例相同者，其係表示在第二實施例中所指明的構件係雷同於在第一實施例中所指明的構件，在此不再贅述。

請先參照圖3A，第二實施例與第一實施例相似，其不同之處在於第三實施例之線路載板210更包括一防銲層214，其係配置於圖案化線路層212上，且第一接墊212b與第二接墊212c所暴露之面積係由防銲層214所定義，而此種接墊與防銲層214之關係稱為銲罩定義（Solder Mask Defined, SMD）。此外，異方性導電層230除了覆蓋於第一接墊212b與第二接墊212c上，更覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域。值得一提的是，圖3A之異方性導電層230的配置方式並不限定覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域

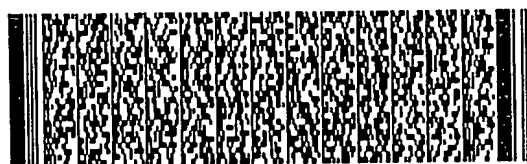


五、發明說明 (10)

上，而異方性導電層230也可以分別覆蓋第一接墊212b與第二接墊212c上（如圖2B所示），以節省異方性導電層230之用量。再者，定義第一接墊212b與第二接墊212c之接觸面積的方式並不限定於鉅罩定義型（SMD），其詳述如後。

請參照圖3B，防鉅層214係完全暴露出第一接墊212b與第二接墊212c，而此種接墊與防鉅層214之關係稱為非鉅罩定義（Non-Solder Mask Defined, NSMD）。此外，異方性導電層230不僅覆蓋於第一接墊212b與第二接墊212c上，更覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域上。另外，圖3B之異方性導電層230的配置方式並不限定覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域上，而異方性導電層230也可以分別覆蓋第一接墊212b與第二接墊212c上（如圖2B所示），以減少異方性導電層230之材料的使用量，進而降低生產成本。再者，防鉅層214並不限定需分別暴露出第一接墊212b與第二接墊212c，其詳述如後。

請參照圖3C，在第一接墊212b與第二接墊212c之間的區域上並未受到防鉅層214所覆蓋，而異方性導電層230除了覆蓋於第一接墊212b與第二接墊212c上，更覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域上。由於被動元件220係配置於第一接墊212b與第二接墊212c之間，而第一接墊212b與第二接墊212c之間的區域上並未受到防鉅層214所覆蓋，所以被動元件220之相對於線路載



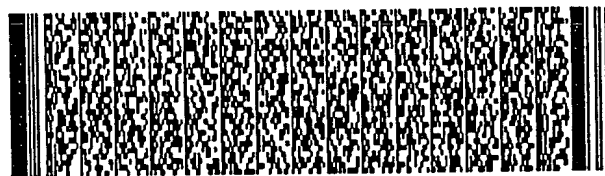
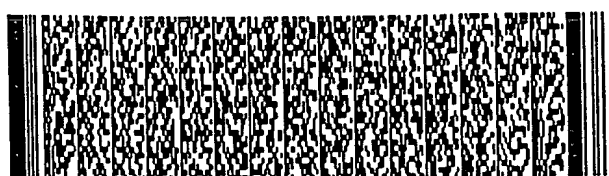
五、發明說明 (11)

板210的高度可以降低。此外，圖3C之異方性導電層230的配置方式並不限定必須覆蓋於線路載板210之第一接墊212b與第二接墊212c之間的區域上，而異方性導電層230也可以分別覆蓋第一接墊212b與第二接墊212c上（如圖2B所示）。

承上所述，本發明之電子封裝體200能夠應用至各種接合形式之封裝體例如導線接合（wire bonding）、覆晶接合（flip chip）或其他形式之封裝體，而本發明僅以導線接合封裝體與覆晶接合封裝體進行說明，但不是用以限定本發明之應用範圍。

請參照圖4，其係繪示本發明之具有被動元件的電子封裝體其應用於覆晶接合封裝體的剖面結構示意圖。電子封裝體200更包括至少一晶片240與一底膠260，其中晶片240例如以覆晶接合（flip chip bonding）方式電性連接至線路載板210，而底膠260則填充於晶片240與線路載板210之間。當以覆晶接合技術將晶片240連接至線路載板210時，晶片240係可藉由凸塊242而電性及結構性連接至線路載板210。另外，電子封裝體200更可包括多個電性接點250，其係配置於線路載板210之第二表面210b上，且這些電性接點250之形式例如是針腳（pin），並且電性接點250之形式也可以是錫球（solder ball）（如圖5所示）。

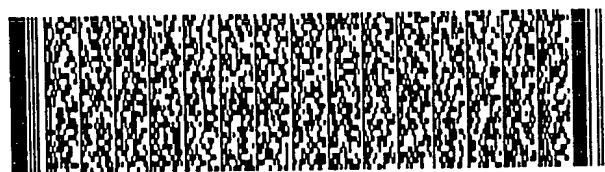
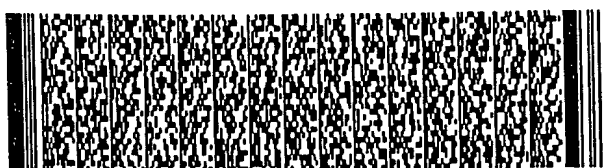
請繼續參照圖4，本發明並不限定將單一被動元件220配置於線路載板210之第一表面210a上，亦可將多個被動



五、發明說明 (12)

元件220配置於線路載板210之第一表面210a上，而每一被動元件220係對應至一被動元件接墊組212a。此外，被動元件220並不限定配置於線路載板210之第一表面210a上，而被動元件220亦可配置於線路載板210之第二表面210b上。再者，這些電性接點250並不限定配置於線路載板210之第二表面210b上，而電性接點250亦可配置於線路載板210之第一表面210a上。值得注意的是，圖2A、圖2B、圖3B與圖3C之結構亦可應用於圖4之電子封裝體200，在此不再贅述。

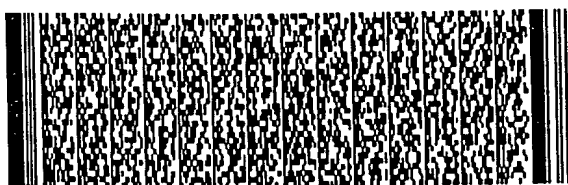
請參照圖5，其係繪示本發明之具有被動元件的電子封裝體其應用於導線接合封裝體的剖面結構示意圖。晶片240例如以導線接合(wire bonding)方式電性連接至線路載板210。電子封裝體200更包括多個導線280、一黏著層(adhesive layer)260、一封膠270及多個電性接點250，其中晶片240藉由黏著層260來貼附於線路載板210上，而導線280則電性連接晶片240與線路載板210，且封膠270係包覆晶片240、被動元件220、導線280與黏著層260，而這些電性接點250之形式例如是鉚球，但是電性接點250之形式也可以是針腳(如圖4所示)。值得注意的是，被動元件220並不限定位於導線280下方之線路載板210上，而被動元件220亦可配置於導線280外圍之線路載板210上。由於本發明採用異方性導電層230代替習知技術之鉚料來將被動元件220鉚接至線路載板210上，因此本發明之電子封裝體200沒有鉚料殘留的問題。



五、發明說明 (13)

承上所述，當接墊與防銲層214之間的關係如圖3C所示時，由於被動元件220與線路載板210之間無防銲層214，因此被動元件220之相對於線路載板210的高度能夠進一步縮短，其結果不僅使得導線280之高度下降，以改善導線偏移的現象，亦可避免塌陷後之導線280接觸被動元件220而造成兩者之間短路。此外，封膠270並不限定需同時覆蓋晶片240與被動元件220，而封膠270亦只單獨包覆晶片240。另外，本發明並不限定將單一被動元件220配置於線路載板210之第一表面210a上，亦可配置多個被動元件220於線路載板210之第一表面210a上。再者，被動元件220並不限定需配置於線路載板210之第一表面210a上，亦可配置於第二表面210b上。並且，這些電性接點250並不限定配置於線路載板210之第二表面210b上，亦可配置於線路載板210之第一表面210a上。值得注意的是，圖2A、圖2B、圖3A與圖3C之結構亦可應用於圖5之電子封裝體200，在此不再贅述。

值得一提的是，被動元件接墊組212a也不限定只包括第一接墊212b與第二接墊212c，而被動元件接墊組212a亦可具有多個接墊。此外，被動元件220並不限定只具有第一電極222b與第二電極222c，而被動元件220亦可具有多個電極，其中被動元件220係配置於被動元件接墊組212a上，且被動元件220的電極係對應配置於被動元件接墊組212a的接墊上。另外，異方性導電層230係配置於這些電極與這些接墊之間，且被動元件220之電極藉由異方性導



五、發明說明 (14)

電層230與被動元件接墊組212a之接墊電性連接。

承上所述，本發明並不限定異方性導電層230是由異方性導電膜或異方性導電膠所製作，若有一材料層經過加壓與加熱製程後能夠在局部區域上產生導電性，且被動元件220的電極能夠藉由此材料層與接墊產生電性連接者，則此種材料層亦可代替本發明所揭露之異方性導電層230。

綜上所述，本發明之具有被動元件的電子封裝體包括下列優點：

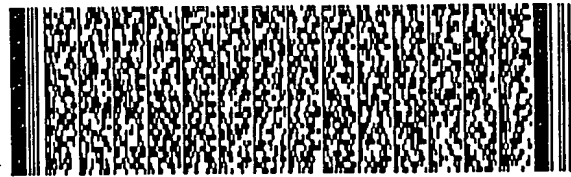
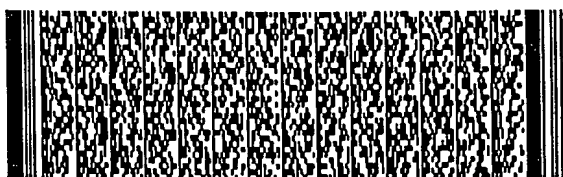
一、相較於習知使用銲料將被動元件銲接線路載板上，以致於容易產生銲橋問題，本發明之具有被動元件的電子封裝體採用異方性導電層來代替習知的銲料，因此本發明之具有被動元件的電子封裝體不會產生銲橋問題。

二、相較於習知技術之銲接製程需要進行清洗步驟以去除迴銲時所使用的助銲劑，本發明之具有被動元件的電子封裝體則無須此清洗步驟，進而縮短製程時間。

三、相較於習知技術需進行約5分鐘左右之迴銲製程，本發明之具有被動元件的電子封裝體則只需約10至20秒左右的固化製程，以提高電子封裝體之生產效率及降低生產成本。

四、相較於習知技術需考慮銲橋問題使得接墊無法微細間距化，本發明之具有被動元件的電子封裝體並沒有銲橋問題，因此被動元件之接墊的間距可以進一步縮小。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (15)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1係繪示習知一種具有被動元件之電子封裝體的剖面結構示意圖。

圖2A至圖2B係繪示本發明第一實施例之具有被動元件的電子封裝體的剖面結構示意圖。

圖3A至圖3C係繪示本發明第二實施例之具有被動元件的電子封裝體的剖面結構示意圖。

圖4係繪示本發明之具有被動元件的電子封裝體其應用於覆晶接合封裝體的剖面結構示意圖。

圖5係繪示本發明之具有被動元件的電子封裝體其應用於導線接合封裝體的剖面結構示意圖。

【圖式標示說明】

100：電子封裝體

110、210：線路載板

210a：第一表面

210b：第二表面

112、212：圖案化線路層

112a、212a：被動元件接墊組

112b、212b：第一接墊

112c、212c：第二接墊

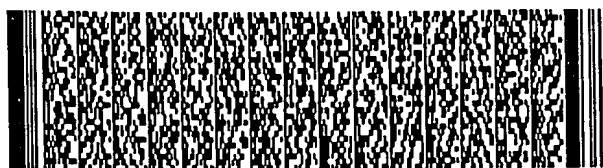
114、214：防銲層

120、240：晶片

130、220：被動元件

130b、220b：第一電極

130c、220c：第二電極



圖式簡單說明

140 : 鐳料

150 : 黏著層

160、280 : 導線

170、270 : 封膠

180 : 鐳球

200 : 具有被動元件的電子封裝體

230 : 異方性導電層

232 : 導電粒子

242 : 凸塊

250 : 電性接點

260 : 底膠



六、申請專利範圍

1. 一種具有被動元件的電子封裝體，包括：

一線路載板，具有至少一圖案化線路層，其位於該線路載板之一面，而該圖案化線路層包括至少一被動元件接墊組，且該被動元件接墊組包括一第一接墊與一第二接墊；

至少一被動元件，具有一第一電極與一第二電極，分別配置於該第一接墊與該第二接墊上；以及

一異方性導電層，配置介於該第一電極與該第一接墊之間，及該第二電極與該第二接墊之間。

2. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該異方性導電層係覆蓋於該線路載板之該第一接墊與該第二接墊之間的區域上。

3. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該異方性導電層之二部分係分別覆蓋於該第一接墊與該第二接墊上。

4. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該線路載板更包括一防銲層，暴露出該第一接墊之全部與該第二接墊之全部。

5. 如申請專利範圍第4項所述之具有被動元件的電子封裝體，其中該防銲層係暴露出該線路載板之該第一接墊與該第二接墊之間的區域。

6. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該線路載板更包括一防銲層，暴露出該第一接墊之局部與該第二接墊之局部。



六、申請專利範圍

7. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，更包括一封膠，包覆該被動元件與該異方性導電層。

8. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該被動元件為電阻元件、電感元件與電容元件其中之一。

9. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，其中該異方性導電層是由異方性導電膜與異方性導電膠其中之一所製作。

10. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，更包括至少一晶片，電性連接至該線路載板。

11. 如申請專利範圍第10項所述之具有被動元件的電子封裝體，其中該晶片係以導線接合方式與覆晶接合方式其中之一的方電性連接至該線路載板。

12. 如申請專利範圍第1項所述之具有被動元件的電子封裝體，更包括多數個電性接點，配置於該線路載板上。

13. 如申請專利範圍第12項所述之具有被動元件的電子封裝體，其中該些電性接點之形式為針腳與鐸球其中之一。

14. 一種具有被動元件的電子封裝體，包括：

一線路載板，具有至少一被動元件接墊組，其位於該線路載板之一面，且該被動元件接墊組包括多數個接墊；

至少一被動元件，具有多數個電極，而該被動元件係配置於該被動元件接墊組上，且該些電極係分別對應配置



六、申請專利範圍

於該些接墊上；以及

一異方性導電層，配置介於該些接墊與該些電極之間。

15. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該異方性導電層係覆蓋於該線路載板之該些接墊之間的區域上。

16. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該異方性導電層係分別覆蓋於該些接墊上。

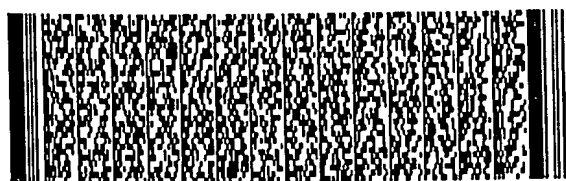
17. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該線路載板更包括一防銲層，暴露出該些接墊之全部。

18. 如申請專利範圍第17項所述之具有被動元件的電子封裝體，其中該防銲層係暴露出該線路載板之該些接墊之間的區域。

19. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該線路載板更包括一防銲層，暴露出該些接墊之局部。

20. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，更包括一封膠，包覆該被動元件與該異方性導電層。

21. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該被動元件為電阻元件、電感元件與電容元件其中之一。



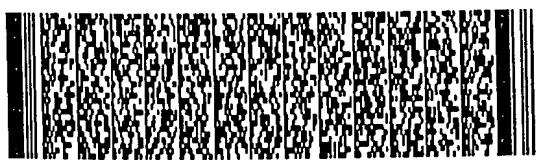
六、申請專利範圍

22. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，其中該異方性導電層是由異方性導電膜與異方性導電膠其中之一所製作。

23. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，更包括至少一晶片，電性連接至該線路載板。

24. 如申請專利範圍第23項所述之具有被動元件的電子封裝體，其中該晶片係以導線接合方式與覆晶接合方式其中之一的方式電性連接至該線路載板。

25. 如申請專利範圍第14項所述之具有被動元件的電子封裝體，更包括多數個電性接點，配置於該線路載板上。



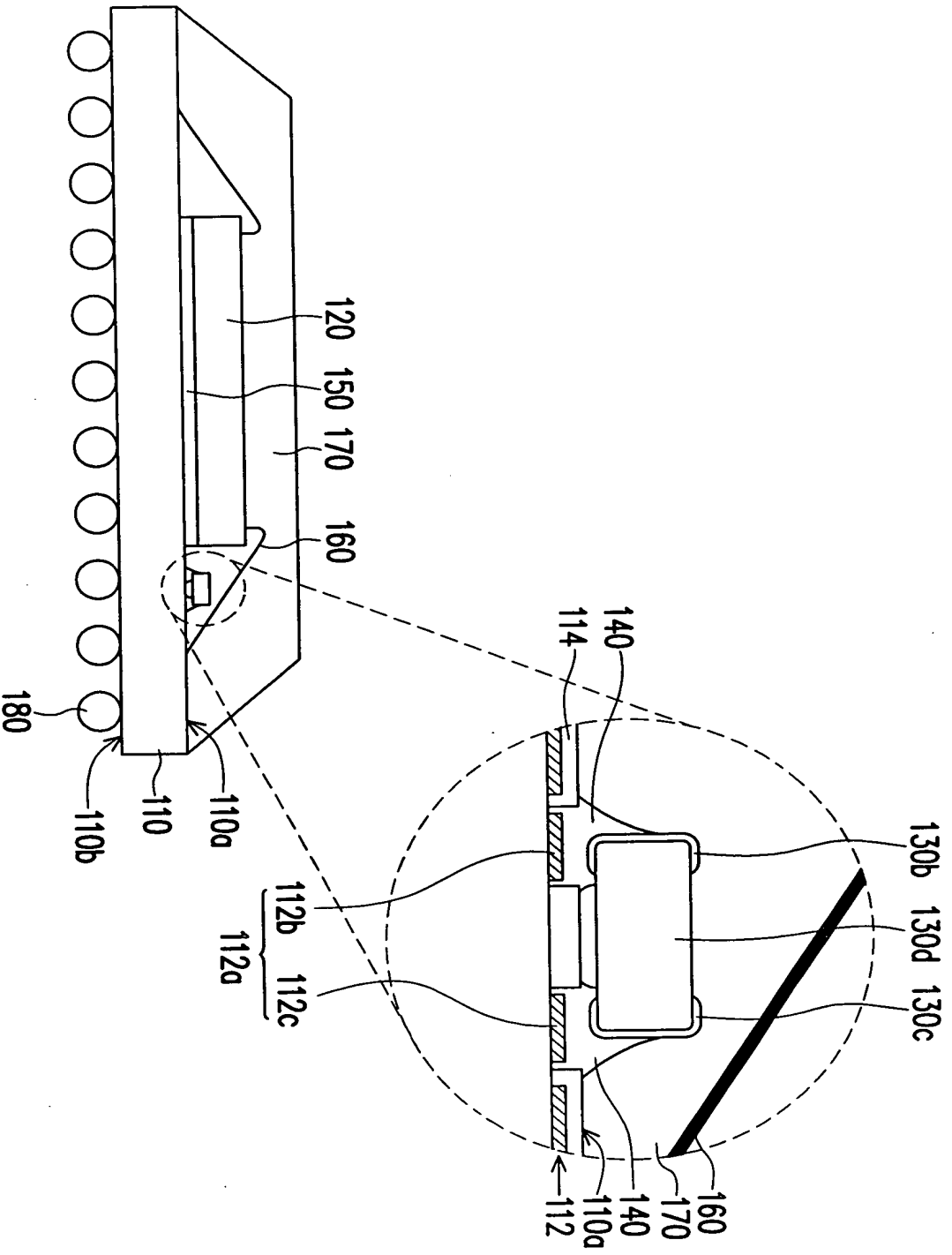


圖 1

100

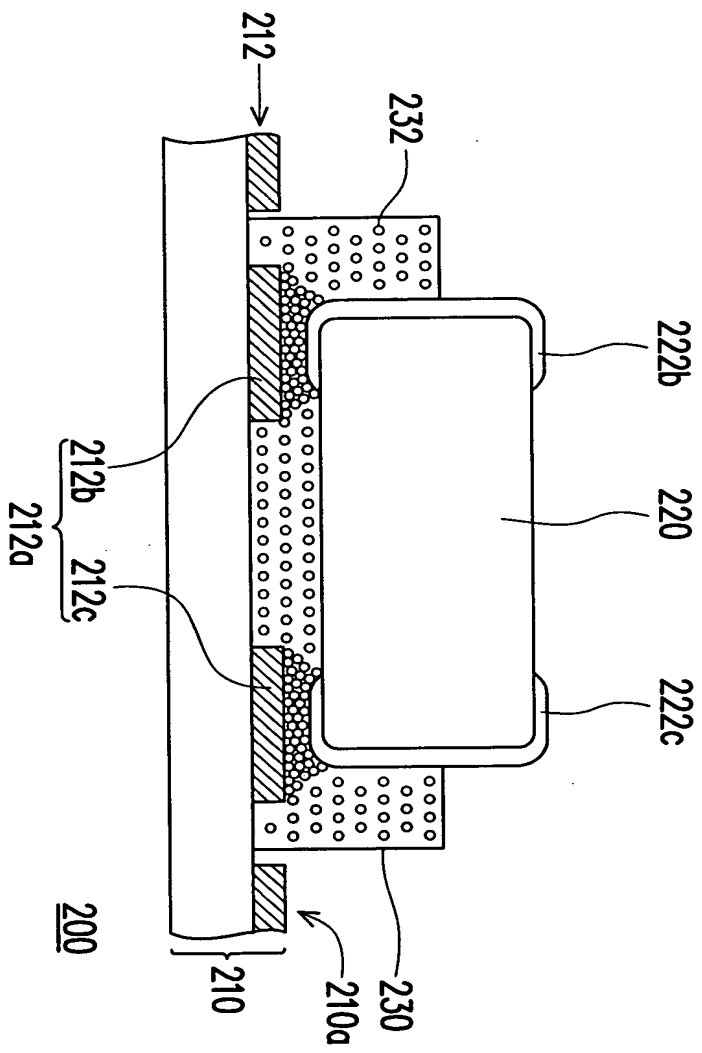


圖 2A



2B 圖



圖 3A



3B

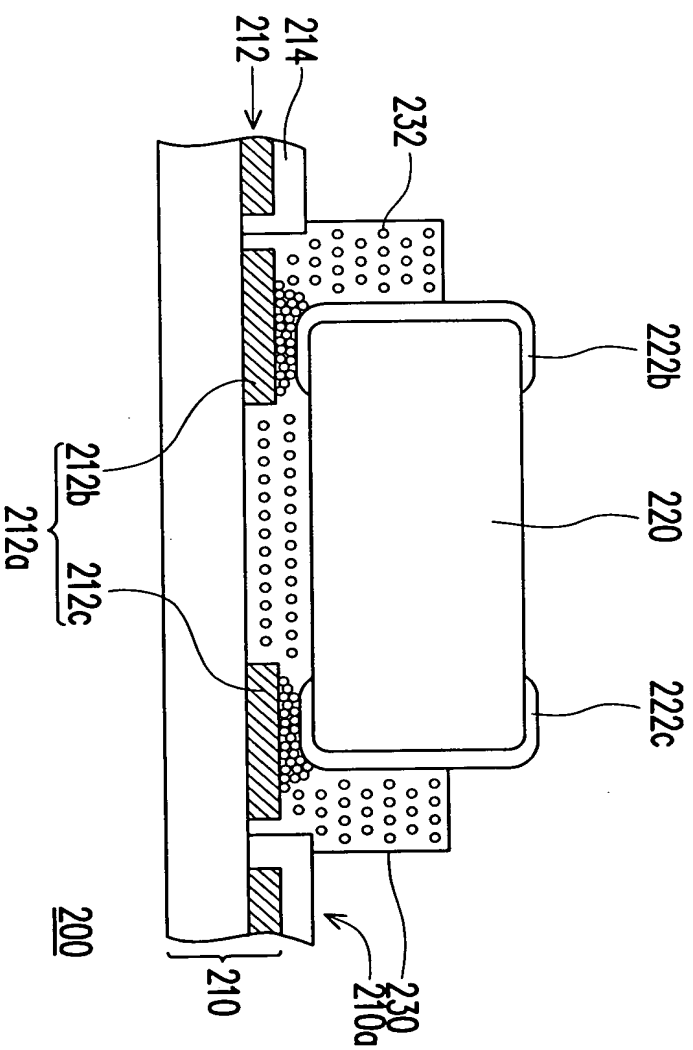


圖 3C



4

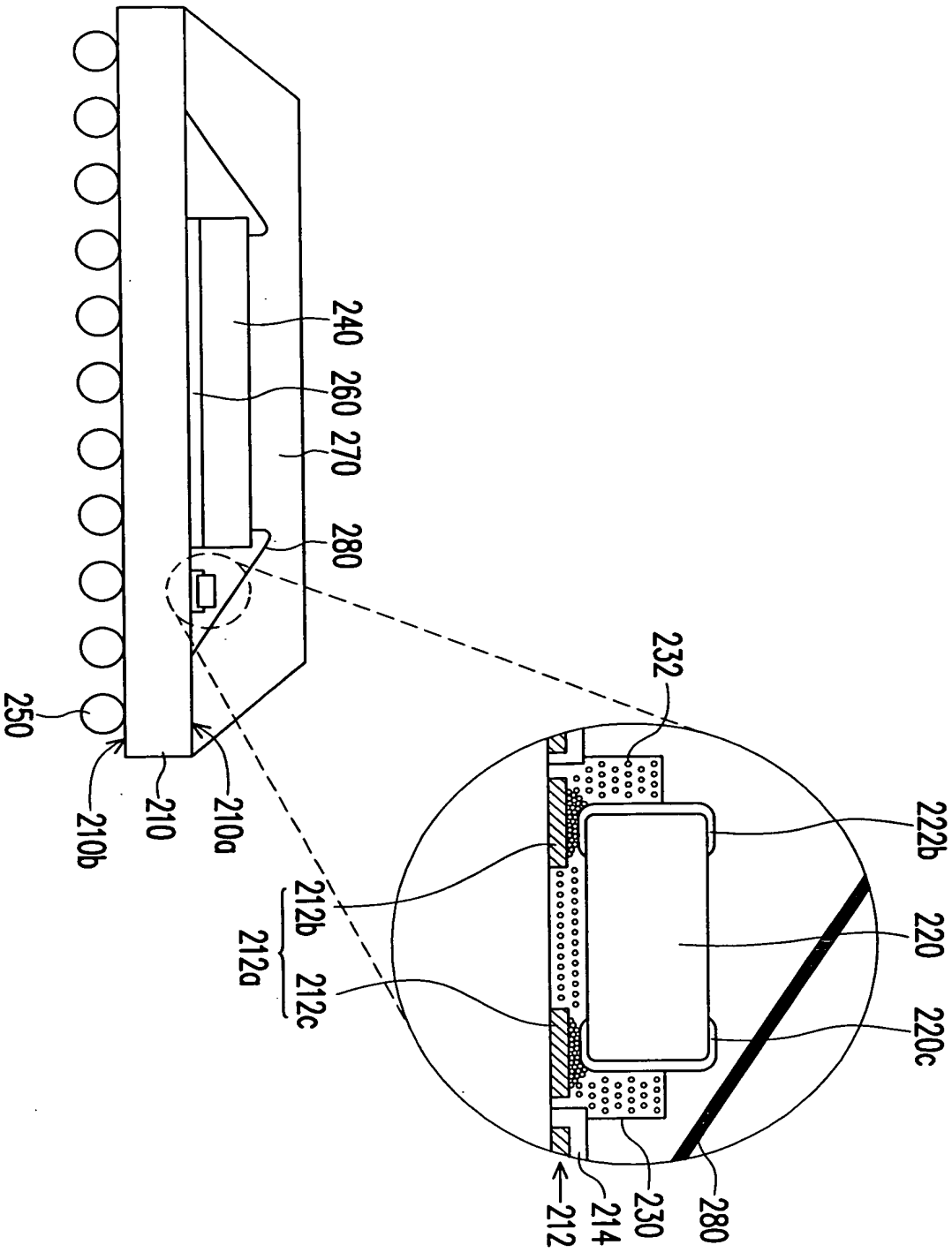
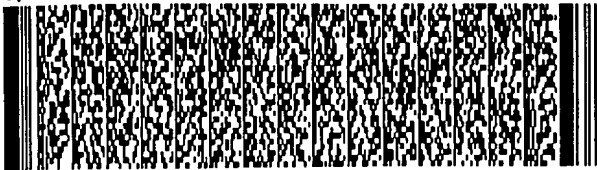


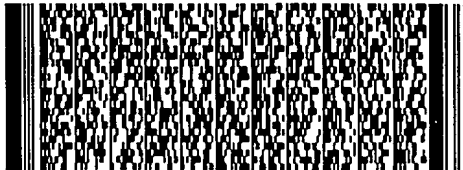
圖 5

200

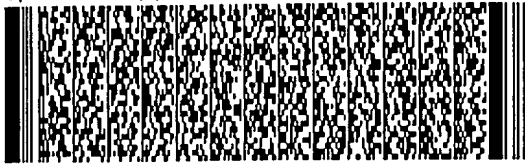
第 1/27 頁



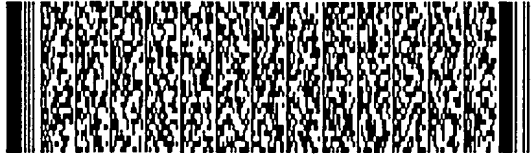
第 2/27 頁



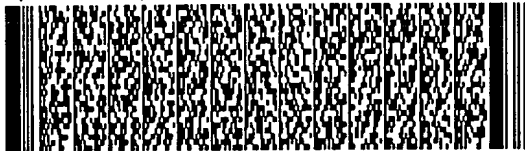
第 3/27 頁



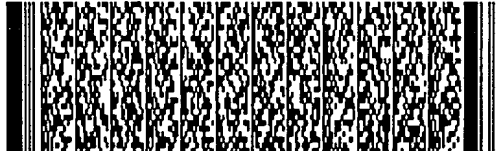
第 3/27 頁



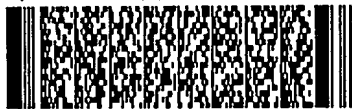
第 4/27 頁



第 5/27 頁



第 6/27 頁



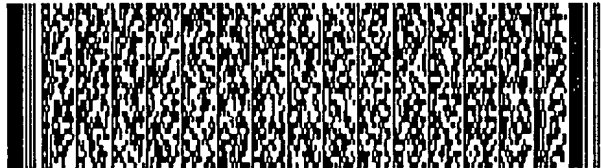
第 7/27 頁



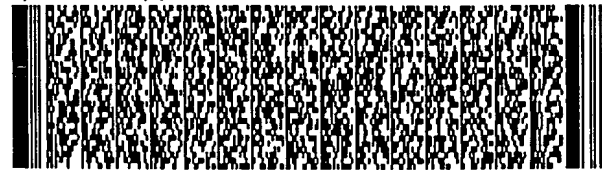
第 7/27 頁



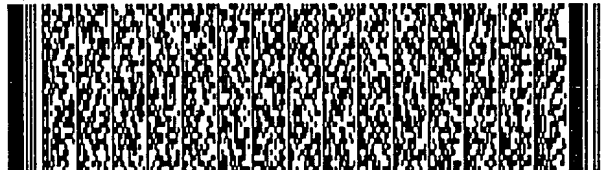
第 8/27 頁



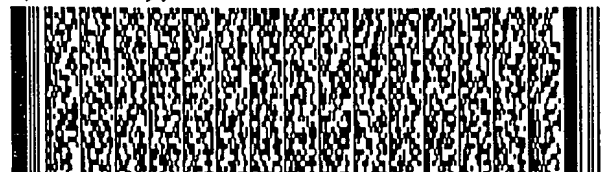
第 8/27 頁



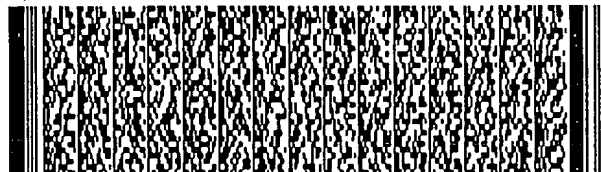
第 9/27 頁



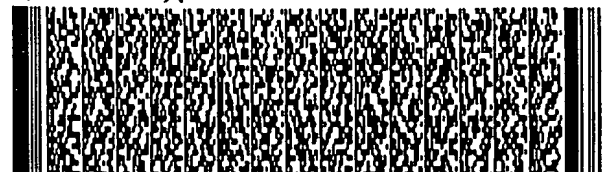
第 9/27 頁



第 10/27 頁



第 10/27 頁

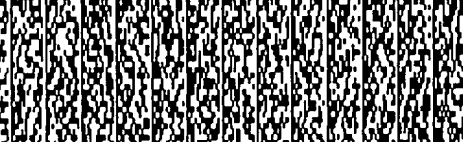



第 11/27 頁





A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark, and light patches. The vertical line is slightly darker and more uniform than the surrounding areas, creating a sense of depth and division. The overall effect is abstract and somewhat unsettling, with a high-contrast, almost binary quality.



100

100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525
 526
 527
 528
 529
 530
 531
 532
 533
 534
 535
 536
 537
 538
 539
 540
 541
 542
 543
 544
 545
 546
 547
 548
 549
 550
 551
 552
 553
 554
 555
 556
 557
 558
 559
 560
 561
 562
 563
 564
 565
 566
 567
 568
 569
 570
 571
 572
 573
 574
 575
 576
 577
 578
 579
 580
 581
 582
 583
 584
 585
 586
 587
 588
 589
 590
 591
 592
 593
 594
 595
 596
 597
 598
 599
 600
 601
 602
 603
 604
 605
 606
 607
 608
 609
 610
 611





100

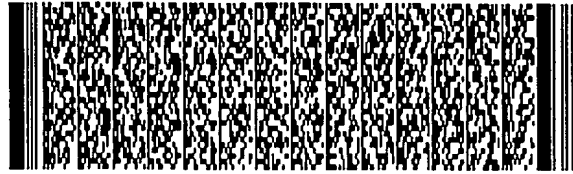
100



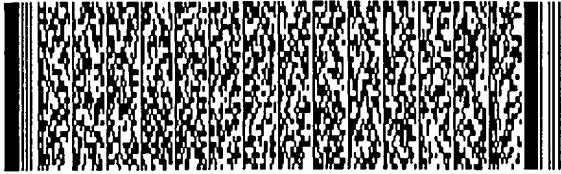
第 19/27 頁



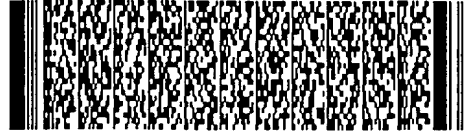
第 20/27 頁



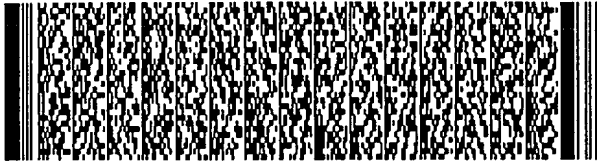
第 20/27 頁



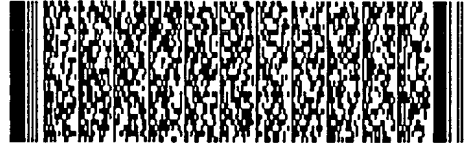
第 21/27 頁



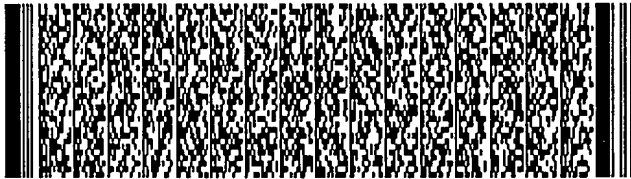
第 22/27 頁



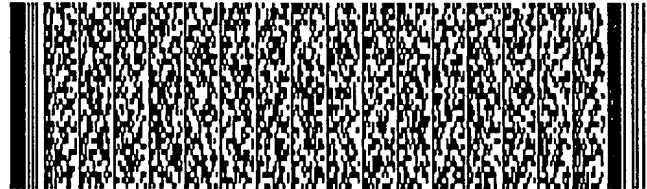
第 23/27 頁



第 24/27 頁



第 25/27 頁



第 26/27 頁



第 27/27 頁

